

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-230619
(43)Date of publication of application : 14.10.1991

(51)Int.Cl. H03L 7/10
H03L 7/107

(21)Application number : 02-025413 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD
(22)Date of filing : 05.02.1990 (72)Inventor : KATO ISAO

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To expand a capture range substantially by operating this PLL circuit so that the difference of frequencies between a demodulation clock and a data string signal is decreased when the difference between the frequency of the data string signal and the frequency of the demodulation clock is at the outside of the capture range of the PLL circuit.

CONSTITUTION: When the difference of a frequency of a data string signal 101 and the frequency of a demodulation clock 112 is at the outside of a frequency pulling-in range (capture range) of the PLL circuit a frequency comparator 103 detects it. Then the difference of the frequency of the data string signal 101 and the frequency of the demodulation clock 112 is within the frequency pulling-in range (capture range) of the PLL circuit by applying frequency pulling-in operation of the frequency comparator 103. Thus the frequency pulling-in range is substantially expanded.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-230619

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月14日

H 03 L 7/10
7/107

8731-5 J H 03 L 7/10
8731-5 J

Z
C

審査請求 未請求 請求項の数 3 (全11頁)

⑮ 発明の名称 PLL回路

⑯ 特 願 平2-25413

⑰ 出 願 平2(1990)2月5日

⑱ 発 明 者 加 藤 勇 雄 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 栗 野 重 孝 外1名

明 細 書

1. 発明の名称

PLL回路

2. 特許請求の範囲

(1) データ列信号の復調クロックを発生する電圧制御発振回路と、

前記電圧制御発振回路の出力を分周する分周回路と、

前記分周回路の分周出力を可変入力とし、データ列信号を基準入力として両者の位相を比較し、位相差に応じた信号を出力する位相比較器と、

前記電圧制御発振回路に制御電圧を印加するための電荷をチャージあるいはディスチャージするチャージ・ポンプと、

前記チャージ・ポンプの動作による電圧変化を平滑化し、前記電圧制御発振回路に制御電圧を印加するローパス・フィルタとから構成されるPLL回路において、

前記電圧制御発振回路の出力クロックとデータ列信号とを比較し、復調クロックの周波数とデー

タ列信号との周波数差が所定範囲内であるかどうかを判定するとともに予め定められた時間、周波数差に応じた信号を出力する周波数比較器と、

前記周波数比較器の判定結果に基づき、セレクトへの制御信号を生成する制御回路と、

前記位相比較器の出力信号及び前記周波数比較器の出力信号が入力され、前記制御回路の出力信号によって、何れか一方を前記チャージ・ポンプのチャージ動作及びディスチャージ動作の制御を行う制御信号として選択出力するセレクトとを備え、

前記セレクトは、前記周波数比較器による比較結果が、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲内となった場合に、前記制御回路の指示に基づいて前記位相比較器の出力信号を選択出力し、前記周波数比較器による比較結果が所定範囲外となった場合に、前記制御回路の指示に基づいて前記周波数比較器の出力信号を選択出力することを特徴とするPLL回路。

(2) 周波数比較器は、データ列信号の最大反転

間隔内に、電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数を越えた場合にデータ列信号に対して復調クロックの周波数が高く所定範囲外と判定することを特徴とする請求項1記載のPLL回路。

(3)周波数比較器は、データ列信号の最小反転間隔内に、電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数より小さい場合にデータ列信号に対して復調クロックの周波数が低く所定範囲外と判定することを特徴とする請求項1記載のPLL回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、データ列信号（例えばデジタル・オーディオ機器間でのデータ信号の授受に用いられるデジタル・オーディオ・インターフェース信号等）を受信し、受信信号に位相と周波数が同期した復調クロックを発生させるPLL回路に関するものである。

従来の技術

器302の出力であるディスチャージ制御信号312によってONとなり、ローパス・フィルタ308から電荷をディスチャージする。306はローパス・フィルタであり、チャージ・ポンプ303によって電荷のチャージあるいはディスチャージが行われることによる電圧変化を平滑化し、電圧制御発振回路307に直流電圧を制御電圧として印加する。

上記のように構成された復調クロック発生用PLL回路は、データ列信号301に対して復調クロック309の位相が遅れたとき、位相比較器302のチャージ制御信号311が出力され、これによってチャージ・ポンプのPチャネルFET304がONとなり、ローパス・フィルタ308に電荷がチャージされる。ローパス・フィルタ306は電荷がチャージされたことによる急激な電圧上昇変化を平滑化し、電圧制御発振回路307への制御電圧314を上昇させ、これによって電圧制御発振回路307の発振周波数が上がり、復調クロック309の位相が進むように動作する。逆に、

特開平3-230619 (2)

第4図は、従来の復調クロック発生用PLL回路の例を示す図である。

第3図において、307は電圧制御発振回路であり、印加される電圧に比例した周波数の信号を発生する。308は電圧制御発振回路307の出力を分周する分周回路であり、この分周回路308の出力が復調クロックである。302は位相比較器であり、受信データ列信号301を基準入力とし、分周回路308の出力である復調クロック309を可変入力として両者の位相を比較し、データ列信号に対して復調クロックの位相が進んだ場合にディスチャージ制御信号312を出力し、逆にデータ列信号に対して復調クロックの位相が遅れた場合にチャージ制御信号311を出力する。303はチャージ・ポンプであり、PチャネルFET304とNチャネルFET305とで構成され、PチャネルFET304は位相比較器302の出力であるチャージ制御信号311によってONとなり、ローパス・フィルタ306に電荷をチャージする。一方、NチャネルFET305は位相比較

データ列信号301に対して復調クロック309の位相が進んだときには、位相比較器302のディスチャージ制御信号312が出力され、これによってチャージ・ポンプのNチャネルFET305がONとなり、ローパス・フィルタ306から電荷がディスチャージされる。ローパス・フィルタ306は電荷がディスチャージされたことによる急激な電圧下降変化を平滑化し、電圧制御発振回路307への制御電圧314を下降させ、これによって電圧制御発振回路307の発振周波数が下がり、復調クロック309の位相が遅れるように動作する。

このように復調クロック309とデータ列信号301との位相差が減少する様に動作し、位相差がなくなると、ローパス・フィルタ306の出力直流電圧が一定となる。この状態をロック状態と呼び、ロック状態に引き込まれるまでの過程で、位相差が変化している状態をアンロック状態と呼ぶ。

発明が解決しようとする課題

受信データ列信号を復調するには、データ列信号からクロック成分を抽出し、前記抽出クロック成分に基づいて発生した復調クロックによりデータを読み取る必要がある。

データを読み取るには、データ列信号の最大繰り返し周波数の2倍の周波数で、かつ、データ列信号と所定の位相関係の復調クロックが必要である。

このために、PLL回路の位相比較器の基準入力としてデータ列信号を、また、位相比較器の可変入力として電圧制御発振回路の出力信号をデータ列信号の最大繰り返し周波数の2倍の周波数となる様分周した復調クロックをそれぞれ入力し、位相比較器の出力によりチャージ・ポンプ及びローパス・フィルタを介して電圧制御発振回路を制御し、データ列信号に位相の一致した復調クロックを電圧制御発振回路に発生させることが行われている。

ところが、位相比較器の基準入力であるデータ列信号の周波数と、可変入力である復調クロック

と、電圧制御発振回路の出力を分周する分周回路と、復調クロックとデータ列信号の位相を比較する位相比較器と、復調クロックとデータ列信号の周波数を比較する周波数比較器と、制御回路と、位相比較器あるいは周波数比較器の出力信号を選択出力するセレクタと、チャージ・ポンプと、ローパス・フィルタとを備える構成としたものである。また、本発明のPLL回路は、請求項2に記載のとおり、電圧制御発振回路と、電圧制御発振回路の出力を分周する分周回路と、復調クロックとデータ列信号の位相を比較する位相比較器と、電圧制御発振回路の出力クロックとデータ列信号の周波数を比較する周波数比較器と、制御回路と、位相比較器あるいは周波数比較器の出力信号を選択出力するセレクタと、チャージ・ポンプと、ローパス・フィルタとを備え、周波数比較器は、データ列信号の最大反転間隔内に、電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数を越えた場合に、データ列信号に対して復調クロックの周波数が高く所定範囲外と判定する構成としたものである。

特開平3-230619 (3)

の周波数（一般に、電圧制御発振回路の発振周波数の整数分の1の周波数）とが離れ過ぎ、両周波数の差が周波数引き込み範囲（キャプチャレンジ）と呼ばれる所定範囲内でない場合、位相比較器による電圧制御発振回路の制御は、復調クロックとデータ列信号との位相差が減少する方向に行われなくなり、いつまでもPLL回路は位相ロック状態とはならないという問題があった。

上述のような問題は、PLL回路の周波数引き込み範囲（キャプチャレンジ）を拡大することによって解決することができるが、従来の様に基本的に位相比較器のみで制御を行うPLL回路にはこれを満足させるに十分な周波数引き込み能力を持ったものがなかった。

本発明は上記従来の問題を解消するものであり、実質的にキャプチャレンジを拡大できるPLL回路を提供することを目的とする。

課題を解決するための手段

上記目的を達成するために本発明のPLL回路は、請求項1に記載のとおり、電圧制御発振回

成としたものである。

また、本発明のPLL回路は、請求項3に記載のとおり、電圧制御発振回路と、電圧制御発振回路の出力を分周する分周回路と、復調クロックとデータ列信号の位相を比較する位相比較器と、電圧制御発振回路の出力クロックとデータ列信号の周波数を比較する周波数比較器と、制御回路と、位相比較器あるいは周波数比較器の出力信号を選択出力するセレクタと、チャージ・ポンプと、ローパス・フィルタとを備え、周波数比較器は、データ列信号の最小反転間隔内に、電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数より小さい場合に、データ列信号に対して復調クロックの周波数が低く所定範囲外と判定する構成としたものである。

作用

上記のように構成した請求項1の発明は、周波数比較器の比較結果に基づいて制御回路は、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲内の場合には位相比較器の出力

特開平3-230619(4)

信号がセレクタの選択出力となるように作用し、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲外の場合には周波数比較器の出力信号が、セレクタの選択出力となるように作用する。

また請求項2の発明は、周波数比較器は、データ列信号の最大反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数を越えた場合にデータ列信号に対して復調クロックの周波数が高く所定範囲外と判定し、これに基づいて制御回路は、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲内の場合には位相比較器の出力信号がセレクタの選択出力となるように作用し、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲外の場合には周波数比較器の出力信号が、セレクタの選択出力となるように作用する。

また、請求項3の発明は、周波数比較器は、データ列信号の最小反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の

数より小さい場合にデータ列信号に対して復調クロックの周波数が低く所定範囲外と判定し、これに基づいて制御回路は、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲内の場合には位相比較器の出力信号がセレクタの選択出力となるように作用し、復調クロックの周波数とデータ列信号の周波数との周波数差が所定範囲外の場合には周波数比較器の出力信号が、セレクタの選択出力となるように作用する。

実施例

以下に、本発明の一実施例であるデータ列信号に位相と周波数が同期した復調クロックを発生させるPLL回路について、図面とともに説明する。

(実施例1)

第1図に於て、110は電圧制御発振回路、111は電圧制御発振回路110の出力を分周し復調クロック112を生成する分周回路、102は分周回路111の分周出力である復調クロック112とデータ列信号101との位相を比較する位相比較器、121は位相比較器102によるチャー

ジ制御信号、122は位相比較器102によるディスチャージ制御信号、103は電圧制御発振回路110の出力クロック130とデータ列信号101とを比較し、復調クロックの周波数とデータ列信号101との周波数差が所定範囲内であるかどうかを判定するとともに周波数差に応じた信号を出力する周波数比較器、123は周波数比較器103によるチャージ制御信号、124は周波数比較器103によるディスチャージ制御信号、104は周波数比較器103の出力信号であるチャージ制御信号123及びディスチャージ制御信号124のどちらか一方が論理レベル“H”となった場合に、セレクタ105への制御信号125を論理レベル“H”とする制御回路、105は位相比較器102の出力信号(チャージ制御信号121及びディスチャージ制御信号122)と、周波数比較器103の出力信号(チャージ制御信号123及びディスチャージ制御信号124)とを入力し、制御回路104の出力信号125が論理レベル“L”の場合には位相比較器102の出力信

号を、論理レベル“H”の場合には周波数比較器103の出力信号を、チャージ制御信号及びディスチャージ制御信号として選択出力するセレクタ、126はセレクタ105による選択出力であるチャージ制御信号、127はセレクタ105による選択出力であるディスチャージ制御信号、108はセレクタ105の出力信号であるチャージ制御信号126及びディスチャージ制御信号127に基づいて電荷のチャージあるいはディスチャージを行うチャージ・ポンプ、109はチャージ・ポンプ108の動作による電圧変化を平滑化し、電圧制御発振回路110に制御電圧を印加するローパス・フィルタであり、詳細な動作説明を以下に行う。

第1図のように構成したPLL回路は、データ列信号101の周波数と復調クロック112の周波数の差がPLL回路の周波数引き込み範囲(キャプチャレンジ)外である場合に、制御回路104は周波数比較器103の比較結果に基づいて、周波数比較器103の出力信号であるチャージ制

特開平3-230619(5)

御信号123及びディスチャージ制御信号124のどちらか一方が論理レベル“H”となった場合に、制御信号125を論理レベル“H”とし、セクタ105の選択出力が周波数比較器103の出力信号となるように制御し、また、周波数比較器103の出力信号であるチャージ制御信号123及びディスチャージ制御信号124の両方が論理レベル“L”となった場合に、制御信号125を論理レベル“L”とし、セクタ105の選択出力が位相比較器102の出力信号となるように制御する。

上述の動作を、データ列信号101の周波数と復調クロック112の周波数の差がPLL回路の周波数引き込み範囲(キャプチャレンジ)内となり、周波数比較器103の比較結果である制御信号123及び124に反映されるまで(すなわち、周波数比較器103の比較結果である制御信号123及び124の両方が定常的に論理レベル“L”となるまで)繰り返す。

この場合のPLL回路の動作を以下に述べる。

制御信号123が論理レベル“H”(ディスチャージ制御信号124は論理レベル“L”)となっているためチャージ・ポンプ106のPチャネルFET107がONとなり、ローパス・フィルタ109に電荷がチャージされる。

チャージされる電荷の量は、PチャネルFETがONとなる時間幅と単調増加の関係にあるので、周波数比較器103の出力であるチャージ制御信号123によって電荷量が制御される。

周波数比較器103からのチャージ制御信号123が論理レベル“H”となる予め定められた一定の時間幅 t_{r0} は、位相比較器102によるチャージ制御信号121の出力時間幅 t_{00} より長く設定する。

この場合にはデータ列信号101に対して復調クロック112の周波数が低く所定範囲外となっているため、位相比較器102によるチャージ制御信号121の出力時間幅 t_{00} は、

$$0 < t_{00} < (\text{位相比較周期})$$

の範囲で変化している。よって、周波数比較器1

データ列信号101に対して復調クロック112の周波数が低く所定範囲外となったとき、予め定められた一定の時間、周波数比較器103のチャージ制御信号123が論理レベル“H”となり、これによって制御回路104は、セクタ105の選択出力が周波数比較器103の出力信号となるよう、選択制御信号125を論理レベル“H”とする。

セクタ105は、選択制御信号125の指示によって、選択出力であるチャージ制御信号128、及びディスチャージ制御信号127に、それぞれ周波数比較器103の出力信号であるチャージ制御信号123及びディスチャージ制御信号124を選び出力する。

上述の動作によって、チャージ・ポンプ106のPチャネルFET107に周波数比較器103のチャージ制御信号123が、チャージ・ポンプ106のNチャネルFET108に周波数比較器103のディスチャージ制御信号124が与えられ、この場合には周波数比較器103のチャージ

03からのチャージ制御信号123が論理レベル“H”となる予め定められた一定の時間幅 t_{r0} を、(位相比較周期) $< t_{r0}$ と設定する。

ローパス・フィルタ109は、電荷がチャージされたことによる急激な電圧上昇変化を平滑化し、電圧制御発振回路110への制御電圧を上昇させ、これによって電圧制御発振回路110の発振周波数が上がり、復調クロック112の周波数が高くなるように動作する。

一方、データ列信号101に対して復調クロック112の周波数が高く所定範囲外となったとき、予め定められた一定の時間、周波数比較器103のディスチャージ制御信号124が論理レベル“H”となり、これによって制御回路104は、セクタ105の選択出力が周波数比較器103の出力信号となるよう、選択制御信号125を論理レベル“H”とする。

セクタ105は、選択制御信号125の指示によって、選択出力であるチャージ制御信号128

及びディスチャージ制御信号127に、それぞれ周波数比較器103の出力信号であるチャージ制御信号123及びディスチャージ制御信号124を選び出力する。

上述の動作によって、チャージ・ポンプ106のPチャネルFET107に周波数比較器103のチャージ制御信号123が、チャージ・ポンプ106のNチャネルFET108に周波数比較器103のディスチャージ制御信号124が与えられ、この場合には周波数比較器103のディスチャージ制御信号124が論理レベル“H”（チャージ制御信号123は論理レベル“L”）となっているため、チャージ・ポンプ106のNチャネルFET108がONとなり、ローパス・フィルタ109から電荷がディスチャージされる。

ディスチャージされる電荷の量は、NチャネルFET108がONとなる時間幅と単調増加の関係にあるので、周波数比較器の出力であるディスチャージ制御信号124によって電荷量が制御される。

の発振周波数が下がり、復調クロック112の周波数が低くなるように動作する。

このように、データ列信号101の周波数と復調クロック112の周波数との差がPLL回路の周波数引き込み範囲（キャプチャレンジ）外であれば、復調クロック112とデータ列信号101との周波数差が減少するように動作し、周波数差が所定範囲内となると、以下に述べる位相引き込みの動作に移行する。

データ列信号101の周波数と復調クロック112の周波数との差がPLL回路の周波数引き込み範囲（キャプチャレンジ）内となったときに、周波数比較器103の比較結果に基づいて、制御回路104は、セレクト105の選択出力が位相比較器102の出力信号となるように制御する。

この場合のPLL回路の動作を以下に述べる。

データ列信号101に対して復調クロック112の位相が遅れたとき、位相比較器102からチャージ制御信号121が出力され、チャージ・ポンプ106のPチャネルFET107がONとなり、

特開平3-230619(6)

周波数比較器103からのディスチャージ制御信号124が論理レベル“H”となる予め定められた一定の時間幅 $t_{r,00}$ は、位相比較器102によるディスチャージ制御信号122の出力時間幅 $t_{r,00}$ より長く設定する。

この場合にはデータ列信号101に対して復調クロック112の周波数が高く所定範囲外となっているため、位相比較器102によるディスチャージ制御信号122の出力時間幅 $t_{r,00}$ は、

$$0 < t_{r,00} < (\text{位相比較周期})$$

の範囲で変化している。よって、周波数比較器103からのディスチャージ制御信号124が論理レベル“H”となる予め定められた一定の時間幅 $t_{r,00}$ を、

$$(\text{位相比較周期}) < t_{r,00}$$

と設定する。

ローパス・フィルタ109は、電荷がディスチャージされたことによる急激な電圧上昇変化を平滑化し、電圧制御発振回路110への制御電圧を下降させ、これによって電圧制御発振回路110

ローパス・フィルタ109に電荷がチャージされる。

ローパス・フィルタ109は、電荷がチャージされたことによる急激な電圧上昇変化を平滑化し、電圧制御発振回路110への制御電圧を上昇させ、これによって電圧制御発振回路110の発振周波数が上がり、復調クロック112の位相が進むように動作する。

また、データ列信号101に対して復調クロック112の位相が進んだとき、位相比較器102からディスチャージ制御信号122が出力され、チャージ・ポンプ106のNチャネルFET108がONとなり、ローパス・フィルタ109から電荷がディスチャージされる。

ローパス・フィルタ109は、電荷がディスチャージされたことによる急激な電圧下降変化を平滑化し、電圧制御発振回路110への制御電圧を下降させ、これによって電圧制御発振回路110の発振周波数が下がり、復調クロック112の位相が遅れるように動作する。

特開平3-230619(7)

このようにデータ列信号101の周波数と復調クロック112の周波数との差がPLL回路の周波数引き込み範囲(キャプチャレンジ)内であれば、復調クロック112とデータ列信号101との位相差が減少するように動作し、位相差がなくなると、ローパス・フィルタ109の出力直流電圧が一定となり、この時点で復調クロック112はデータ列信号101の最大繰り返し周波数の2倍の周波数で、かつ、データ列信号101と所定の位相関係となって安定する。

(実施例2)

第2図は、第1図における周波数比較器103の内部構成を示す図であり、請求項2及び請求項3に記載の周波数比較器の一実施例である。

第2図において、201は電圧制御発振回路(第1図における電圧制御発振回路110)の出力クロック211(第1図における130)とデータ列信号212(第1図における101)とを比較し、復調クロックの周波数とデータ列信号212との周波数差が所定範囲内であるかどうかを判定

データ列信号212の最大反転間隔内に、本来生成されるべき復調クロック(すなわち、データ列信号212の2倍の周波数のクロック)を得るための電圧制御発振回路の出力クロック211が N_{max} に入る場合に、 $N_{max}+1$ を検出する検出回路、208は検出回路206の出力信号225を基にチャージ制御信号213を生成するチャージ制御回路、209は検出回路207の出力信号226を基にディスチャージ制御信号214を生成するディスチャージ制御回路であり、詳細な動作説明を以下に行う。

第2図のように構成した周波数検出器201は、データ列信号212の最大反転間隔内に電圧制御発振回路の出力クロック211が何周期入るかを検出し、所定の数を越えた場合にデータ列信号212に対して復調クロックの周波数が高く所定範囲外と判定し、また、データ列信号212の最小反転間隔内に電圧制御発振回路の出力クロック211が何周期入るかを検出し、所定の数より小さい場合にデータ列信号に対して復調クロックの周

するとともに、周波数差に応じたチャージ制御信号213及びディスチャージ制御信号214を出力する周波数比較器、202はデータ列信号212の立ち上がりエッジを検出し、データ列信号212の立ち上がりエッジと同時に立ち上がり、一定時間 t_{hold} 後に立ち下がるパルスを生成するエッジ検出回路、203は電圧制御発振回路の出力クロック211をクロックとして、データ列信号212が論理レベル“H”の区間で計数動作を行い、エッジ検出回路202の出力パルスによってその計数値をリセットするカウンタ、204はデータ列信号212の極性を反転させるインバータ、205はカウンタ203のカウント結果をデータ列信号212の立ち下がりエッジのタイミングで保持するDフリップ・フロップ、206はデータ列信号212の最小反転間隔内に、本来生成されるべき復調クロック(すなわち、データ列信号212の2倍の周波数のクロック)を得るための電圧制御発振回路の出力クロック211が N_{min} に入る場合に、 $N_{min}-1$ を検出する検出回路、207はデー

波数が低く所定範囲外と判定する。

この動作を第3図を用いて詳しく説明する。

第3図は周波数検出器の動作説明に供する波形図である。

第3図において、aはデータ列信号の一例であるデジタル・オーディオ・インターフェース信号であり、Aで示した部分が信号の最大反転間隔(3T)、Bで示した部分が信号の最小反転間隔(1T)である。

但し、最大反転間隔は、デジタル・オーディオ・インターフェース規格による伝送信号のデューティの規定により、本来の間隔である3Tの108%まで長くなり得る。また、最小反転間隔は前記規定により、本来の間隔である1Tの80%で短くなり得る。

bは復調クロックであり、電圧制御発振回路の出力クロックを2分周したクロックである。復調クロックはPLL回路がクロック状態にあるとき、周期が1Tとなる。

C1、C2、C3は、周波数がほぼ完全に引き

特開平3-230619(8)

込まれた状態のPLL回路における電圧制御発振回路の出力クロックである。

但し、C1は、位相も完全に引き込まれている場合であり、C2、C3はどちらも位相が完全には引き込まれていない状態のPLL回路における電圧制御発振回路の出力クロックである。

さて、データ列信号の最大反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数を越えた場合にデータ列信号に対して復調クロックの周波数が高く、所定範囲外と判定するわけであるが、この場合の所定の数 N_{max} は、最大反転間隔が本来の間隔である $3T$ の108%まで長くなった場合を考えれば良く、 N_{max} は7である。よって、データ列信号の最大反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、7より大きい場合にデータ列信号に対して復調クロックの周波数が高く、所定範囲外と判定する。

例えば検出値が12～14である場合、データ列信号に対して復調クロックの周波数が2倍程度

される。

エッジ検出回路202は、データ列信号212の立ち上がりエッジを検出し、データ列信号212の立ち上がりエッジと同時に立ち上がり、一定時間 $t_{r,s}$ 後に立ち下がるパルス生成する。ここで、エッジ検出回路202の出力パルス幅となる時間 $t_{r,s}$ は、カウンタ203のカウント値をリセットするに要する時間 $t_{r,s}$ 以上で、かつ、可能な限り短く設定される。

上述のように構成したのでカウンタ203は、データ列信号212の論理レベル“H”の区間(但し、立ち上がりエッジ後の $t_{r,s}$ 分の時間は除く)で、電圧制御発振回路の出力クロック211の数を計数し、次に来る論理レベル“H”の区間の最前縁(立ち上がりエッジから時間幅で $t_{r,s}$ の区間)で計数値をリセットする。

よって、カウンタ203のカウント値は、データ列信号212の最大反転間隔が論理レベル“H”に現われたときに最大となり、また、データ列信号212の最小反転間隔が論理レベル“H”に現

高く、所定範囲外であると判定できる。

次に、データ列信号の最小反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、所定の数より小さい場合にデータ列信号に対して復調クロックの周波数が低く、所定範囲外と判定するわけであるが、この場合の所定の数 N_{min} は、最小反転間隔が本来の間隔である $1T$ の80%まで短くなった場合を考えれば良く、 N_{min} は1である。よって、データ列信号の最小反転間隔内に電圧制御発振回路の出力クロックが何周期入るかを検出し、1より小さい場合にデータ列信号に対して復調クロックの周波数が低く、所定範囲外と判定する。

次に、第2図の構成における周波数検出器の動作を説明する。

カウンタ203はカウント・イネーブル端子にデータ列信号212が、クロック端子に第1図に示した電圧制御発振回路110の出力クロック211(第1図における130)が、リセット端子にエッジ検出回路202の出力信号221が入力

われたときに最小となる。

但し、PLL回路が位相引き込み過程にある場合には、データ列信号212と電圧制御発振回路の出力クロック211は位相関係が一定とはならず、電圧制御発振回路の出力クロック211の1周期の範囲で回転するため、カウンタ203のカウント値は、最大値(すなわち、データ列信号212の最大反転間隔が論理レベル“H”に現われたときのカウント値)においても最小値(すなわち、データ列信号212の最小反転間隔が論理レベル“H”に現われたときのカウント値)においても1カウントの幅を持つことになる。

よって、データ列信号212の最小反転間隔内及び最大反転間隔内に、本来生成されるべき復調クロック(すなわち、データ列信号の2倍の周波数のクロック)を得るための電圧制御発振回路の出力クロック211が何クロック入るかを考える場合に、最小値は1クロック少なく、最大値は1クロック多く見積れば、PLL回路が位相引き込み過程にある場合に、実際にカウンタ203が取

特開平3-230619 (9)

り得るカウント最小値、カウント最大値と一致する。これらをそれぞれ、 N_{min} (最小カウント値)、 N_{max} (最大カウント値) とする。

Dフリップ・フロップ205は、カウンタ203のカウント結果及びクロックとしてデータ列信号212をインバータ204によって反転させた信号223が入力され、よって、カウンタ203のカウント結果をデータ列信号212の立ち下がりエッジのタイミングで保持する。

検出回路206は、Dフリップ・フロップ205に保持されたカウンタ203のカウント結果Nが、

$$N < N_{min}$$

であることを検出すると、電圧制御発振回路の発振周波数が低いと判定し、Dフリップ・フロップ205に $N < N_{min}$ となったカウント結果が保持されている間、出力信号225を論理レベル“H”とする。

チャージ制御回路208は、検出回路206の出力信号225の立ち上がりエッジと同時に立ち

であることを検出すると、電圧制御発振回路の発振周波数が高いと判定し、Dフリップ・フロップ205に $N_{max} < N$ となったカウント結果が保持されている間、出力信号228を論理レベル“H”とする。

ディスチャージ制御回路209は、検出回路207の出力信号226の立ち上がりエッジと同時に立ち上がり、予め定められた時間 $t_{r,0}$ 後に立ち下がるディスチャージ制御信号214を生成する。

ここで、予め定められた一定の時間幅 $t_{r,0}$ は、前述の実施例1の説明で述べたように、位相比較器(第1図における102)によるディスチャージ制御信号(第1図における122)の出力時間幅 $t_{r,0}$ より長く設定する。

この場合にはデータ列信号212に対して復調クロックの周波数が高く所定範囲外となっているため、位相比較器によるディスチャージ制御信号の出力時間幅 $t_{r,0}$ は、

$$0 < t_{r,0} < (\text{位相比較周期})$$

上がり、予め定められた時間 $t_{r,0}$ 後に立ち下がるチャージ制御信号213を生成する。

ここで、予め定められた一定の時間幅 $t_{r,0}$ は、前述の実施例1の説明で述べたように、位相比較器(第1図に於ける102)によるチャージ制御信号(第1図に於ける121)の出力時間幅 $t_{r,0}$ より長く設定する。

この場合にはデータ列信号212に対して復調クロックの周波数が低く所定範囲外となっているため、位相比較器によるチャージ制御信号の出力時間幅 $t_{r,0}$ は、

$$0 < t_{r,0} < (\text{位相比較周期})$$

の範囲で変化している。

よって、チャージ制御信号213が論理レベル“H”となる予め定められた一定の時間幅 $t_{r,0}$ を、
(位相比較周期) $< t_{r,0}$
と設定する。

検出回路207は、Dフリップ・フロップ205に保持されたカウンタ203のカウント結果Nが、
 $N_{max} < N$

の範囲で変化している。

よって、ディスチャージ制御信号214が論理レベル“H”となる予め定められた一定の時間幅 $t_{r,0}$ を、

$$(\text{位相比較周期}) < t_{r,0}$$

と設定する。

このように、データ列信号212の周波数と復調クロックの周波数との差がPLL回路の周波数引き込み範囲(キャプチャレンジ)外であることを、データ列信号212の周波数と電圧制御発振回路の発振周波数とを比較することによって検出し、さらに、周波数比較結果をもとに、実施例1で示したPLL回路を復調クロックとデータ列信号212との周波数差が減少するように動作させるための信号を生成する。

発明の効果

以上説明したように、データ列信号の周波数と復調クロックの周波数の差がPLL回路の周波数引き込み範囲(キャプチャレンジ)外である場合に、周波数比較器がこれを検出し、周波数比較器

特開平3-230619 (10)

による周波数引き込み動作を行って、データ列信号の周波数と復調クロックの周波数の差がPLL回路の周波数引き込み範囲内となるよう動作するので、実質的な周波数引き込み範囲を拡大することが可能となる。

4. 図面の簡単な説明

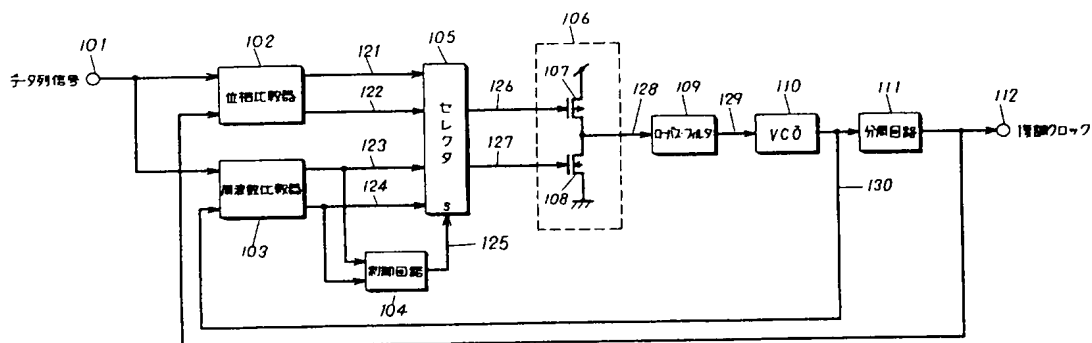
第1図は本発明の第1の実施例であるPLL回路のブロック図、第2図は本発明の第2の実施例である周波数比較器のブロック図、第3図は同実施例の動作説明に供する波形図、第4図は従来のPLL回路の一例を示すブロック図である。

101…データ列信号、102…位相比較器、103、201…周波数比較器、104…制御回路、105…セレクタ、106…チャージ・ポンプ、107…PチャネルFET、108…NチャネルFET、109…ローパス・フィルタ、110…電圧制御発振回路、111…分周回路、112…復調クロック、202…エッジ検出回路、203…カウンタ、204…インバータ、205…Dフリップ・フロップ

ブ、206、207…検出回路、208…チャージ制御回路、209…ディスチャージ制御回路。

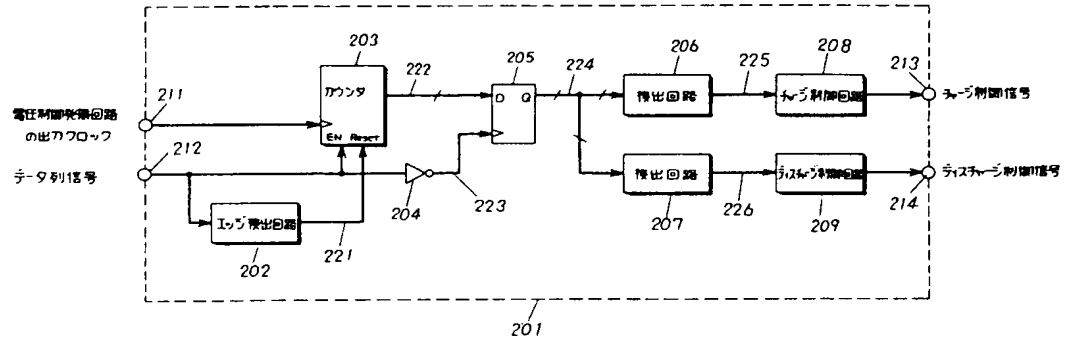
代理人の氏名 弁理士 栗野 重孝 ほか1名

第1図

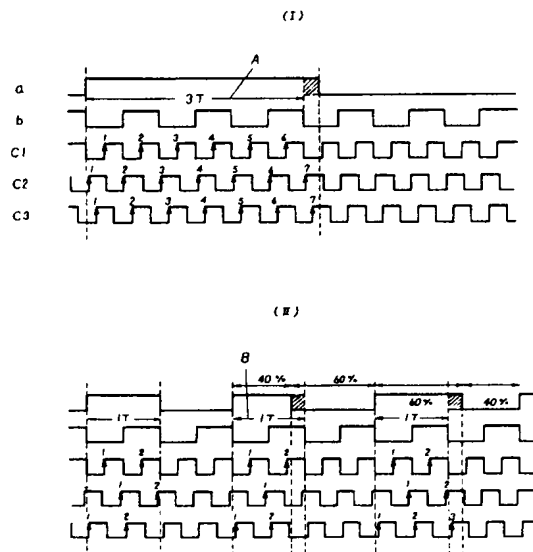


特開平3-230619 (11)

第 2 図



第 3 図



第 4 図

